

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-227896

(43)Date of publication of application : 03.09.1996

(51)Int.Cl. H01L 21/331  
H01L 29/73  
H01L 29/205

(21)Application number : 07-030961

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.02.1995

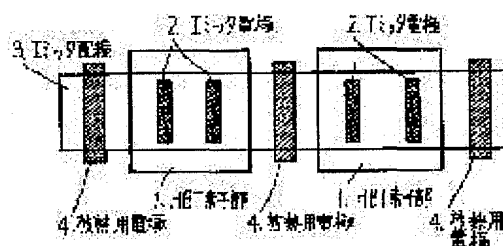
(72)Inventor : ONISHI HIROAKI

## (54) HETERO-JUNCTION BIPOLAR TRANSISTOR

## (57)Abstract:

PURPOSE: To lessen the device section of a hetero-junction bipolar transistor in temperature by a method wherein a heat dissipating electrode is provided onto an epitaxial layer on a substrate and connected to an emitter wiring which is connected to the emitter of the hetero-junction bipolar transistor.

CONSTITUTION: A heat dissipating electrode 4 is provided between emitters and connected to an emitter wiring 3 which connects the emitters together. The heat dissipating electrode 4 is formed by coming into contact with either a GaAs substrate or an epitaxial layer. By this setup, heat generated just under the emitters is conducted to the heat dissipating electrode 4 provided onto the epitaxial layer or the GaAs substrate traveling through the emitter wiring 3 and dissipated towards the substrate through the electrode 4, so that the emitter wiring 3 is small in temperature change, and the device section of the hetero-junction bipolar transistor is capable of being decreased in temperature.



## LEGAL STATUS

[Date of request for examination] 22.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-227896

(43) 公開日 平成8年(1996)9月3日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/331  
29/73  
29/205

識別記号

庁内整理番号

F I

H 0 1 L 29/72  
29/205

技術表示箇所

審査請求 未請求 請求項の数1 O L (全 4 頁)

(21) 出願番号 特願平7-30961

(22) 出願日 平成7年(1995)2月20日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 大西 裕明

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

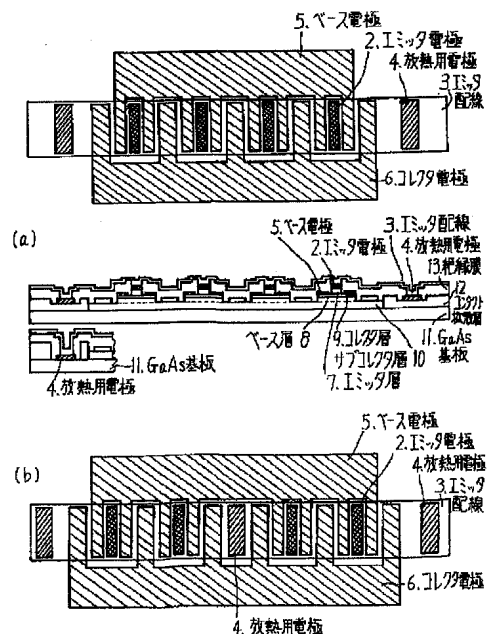
(54) 【発明の名称】 ヘテロ接合バイポーラトランジスタ

(57) 【要約】 (修正有)

【目的】 ヘテロ接合バイポーラトランジスタの構造に関し、素子部の温度 (T<sub>J</sub>) の低減に効果的な構造を得る。

【構成】 ヘテロ接合バイポーラトランジスタのエミッタに接続されるエミッタ配線と接続され、基板上または基板上に作成されたエピタクシャル層に作成された放熱用電極を有するヘテロ接合バイポーラトランジスタ。

本発明の一実施例の説明図



1

## 【特許請求の範囲】

【請求項1】 ヘテロ接合バイポーラトランジスタのエミッタに接続されるエミッタ配線と接続され、基板上または基板上に作成されたエピタキシャル層に作成された放熱用電極を有することを特徴とするヘテロ接合バイポーラトランジスタ。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ヘテロ接合バイポーラトランジスタの構造に関する。近年の通信システムやコンピュータシステムの高速化の要求に伴い、高速な半導体素子の必要性がますます大きくなってきている。

【0002】 このため、従来のシリコン (Si) 半導体素子の開発と共に、化合物半導体の研究開発が盛んである。特に、ヘテロ接合バイポーラトランジスタ (HBT) はワイドバンドギャップ・エミッタを有し、高電流利得と高駆動能力を合わせ持った化合物半導体素子として期待されている。

【0003】

【従来の技術】 図3は従来例の説明図、図4はHBTの素子部温度と基板厚さの関係を示す図である。

【0004】 図において、2はエミッタ電極、5はベース電極、6はコレクタ電極、7はエミッタ層、8はベース層、9はコレクタ層、10はサブコレクタ層、11はGaAs基板、14はエッチングストップ層、15はバンプ、16はパッケージ基板である。

【0005】 AlGaAs/GaAs HBTを用いた集積回路としては、すでに1000トランジスタレベルのものが開発されて、動作速度もSiバイポーラ素子を用いたICを凌駕するものも試作されている。

【0006】 一般にバイポーラ素子は高駆動能力を持つ反面、発熱密度が高く、素子部の温度 ( $T_j$ ) 上昇が激しいという欠点を持っている。特に、化合物半導体を用いるHBTでは、Siと比べて熱伝導性の悪いGaAsを基板としていること、エミッタ幅が大きい (1.5~2mm) ことのために、 $T_j$  が異常に大きくなっており、素子の信頼性低下を招いている。また、発熱量を低減するために、電流密度を低くし、回路の動作速度を犠牲にするなどの対策が必要になっている。

【0007】 このような $T_j$ の上昇は、ICの出力パッファやパワーアンプなどの大電流を流す必要のあるトランジスタでより深刻な問題になる。この大電流用トランジスタとしては、通常の場合、エミッタを平行に並べたレイアウトが用いられる。このレイアウトでは、エミッタ間隔が狭いと熱の干渉のために、 $T_j$ はエミッタが各々独立にある場合に比べてより高くなる。エミッタ間隔を広げると、素子サイズが大きくなりチップサイズが増大し、コストの増加につながる。

【0008】  $T_j$ 低減のために用いられている従来技術を図3に示す。通常の実装状態ではチップ裏面から熱を

2

逃がす方式がとられる。そのため、図3(a)に示すようにGaAs基板11の厚みを20~100 $\mu$ mと薄くし、GaAs基板11からの放熱を良くする方法がとられている。

【0009】 また、図3(b)に示すような発熱が集中している素子の真下のみをさらに薄くする方法も考えられている。これは、サブコレクタ層10の下に予めエッチングストップ層14を挟んでおき、素子の真下のGaAs基板11をなくすることが可能である。

【0010】 さらに、図3(c)に示すように、エミッタ電極2上にバンプ15を形勢して、Face Down型のフリップチップ実装方法が用いられることもある。

【0011】

【発明が解決しようとする課題】 例えば、図4にHBTの素子部温度と基板厚さの関係を示すように、基板厚さが50 $\mu$ m以上の場合、 $T_j$ の低減効果は小さく、25 $\mu$ m以下で急激に低下する。(20~25度付近の $T_j$ のデータがあると良いのですが。) 従って、図2(a)や図2(b)の方法で $T_j$ を大きく低減しようとするれば、厚みは10~20 $\mu$ m程度としなければならない。しかし、このような方法は作製が困難であり、チップが反ったり、割れたりする危険がある。

【0012】 また、図3(c)に示すようなフリップチップ実装方法は、エミッタが接地されるため、パワーアンプ等での一部の応用でしか使用できず、一般的なICへは適用が不可能である。

【0013】 本発明は、HBTの素子部の温度 ( $T_j$ ) を低減出来る構造を得ることを目的としている。

【0014】

【課題を解決するための手段】 図1は本発明の原理説明図である。図において、1はHBT素子部、2はエミッタ電極、3はエミッタ配線、4は放熱用電極である。

【0015】 図1に示すように、エミッタとエミッタとの間に放熱用電極4を設け、エミッタ同士を繋ぐエミッタ配線3と接続させる。放熱用電極4は、GaAs基板、または、エピタキシャル層のいずれかに接して形成される。配置としては、素子の外側、または、いくつかのエミッタのまとまりの群の間に置く。各エミッタ間に置いて良いが、素子サイズとの兼ね合いがある。

【0016】 すなわち、本発明の問題点は、図1に示すように、ヘテロ接合バイポーラトランジスタのエミッタに接続されるエミッタ配線と接続され、基板上または基板上に作成されたエピタキシャル層に作成された放熱用電極を有することにより達成される。

【0017】

【作用】 化合物半導体HBTの $T_j$ の上昇が著しいのは、発熱が集中しており広がり難いためである。このため、何らかの方法でこの熱を基板側に逃がしてやれば、温度上昇を低減出来る。

【0018】 ところで、各エミッタを繋ぐ配線は金 (A

3

u)等のメタルであり、GaAsに比べて一桁以上高い熱伝導性を持っている。従って、このエミッタ配線を使って熱を逃がしてやる方法が考えられるが、配線の厚みは1~4 $\mu$ m程度であり、配線が長くなると熱抵抗が大きくなり、放熱効果がなくなる。

【0019】図1に示す本発明の方法では、エミッタ直下で発生した熱は、配線を通してエピタキシャル層またはGaAs基板上に設けられた放熱用電極に伝えられ、ここから基板側へ放熱される。

【0020】このとき、放熱用電極は発熱している素子の近傍に置かれるため、配線での温度変化は小さく、放熱効果を大きくできる。この構造では、基板を極端に薄くする必要はなくなり、作製も容易に行える。

【0021】

【実施例】図2は本発明の一実施例の説明図である。図において、2はエミッタ電極、3はエミッタ配線、4は放熱用電極、5はベース電極、6はコレクタ電極、7はエミッタ層、8はベース層、9はコレクタ層、10はサブコレクタ層、11はGaAs基板、12はコンタクト拡散層、13は絶縁膜である。

【0022】図2(a)に本発明の一実施例として、4本のエミッタ電極2を持つGaAs HBTを示す。上側に平面図、中側と下側にA-A'面でカットした断面図を示す。

【0023】エミッタ層7はAlGaAsやInGaP、ベース層8はP型に $10^{19} \sim 10^{20} \text{ cm}^{-3}$ にドーピングされたGaAsまたはAlGaAsのグレード層、サブコレクタ層10は $10^{18} \text{ cm}^{-3}$ 程度のn型にドーピングされたGaAs層からなっている。また、放熱用電極4はエミッタ配線3と接続されており、コレクタ電極6と約5 $\mu$ m離れて配置されている。

【0024】この例では、放熱用電極4はコレクタ電極6と同時に形成され、新たなウェーハプロセス工程の追加は必要ない。しかし、より放熱効果を高めるために図2(a)の下側に示すようにGaAs基板11に接するように放熱用電極4を形成してもよいが、ウェーハプロセ

4

ス工程が増える欠点がある。

【0025】また、図2(b)に示すように、放熱用電極4をエミッタの間に置いていても良い。更に、これまでの説明はGaAs基板11上に作製されるHBTについて行ってきたが、InP等の他の基板上に作製されるHBTについても同様な構造でTjを低減出来るのは明らかである。

【0026】

【発明の効果】以上説明したように、本発明によれば、HBTの基板を約10 $\mu$ mと極端に薄くする必要はなく、通常のHBTのウェーハプロセス工程を用いて放熱効果を高める素子構造が作製出来る。本発明の構造により、基板裏面から接合部までの温度上昇を20~50%低減でき、化合物半導体HBTの性能向上に大きく寄与することが出来る。

【図面の簡単な説明】

【図1】 本発明の原理説明図

【図2】 本発明の一実施例の説明図

【図3】 従来例の説明図

【図4】 HBTの素子部温度と基板厚さ

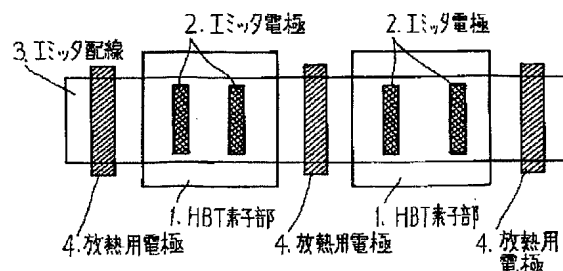
【符号の説明】

図において

- 1 HBT素子部
- 2 エミッタ電極
- 3 エミッタ配線
- 4 放熱用電極
- 5 ベース電極
- 6 コレクタ電極
- 7 エミッタ層
- 8 ベース層
- 9 コレクタ層
- 10 サブコレクタ層
- 11 GaAs基板
- 12 コンタクト拡散層
- 13 絶縁膜

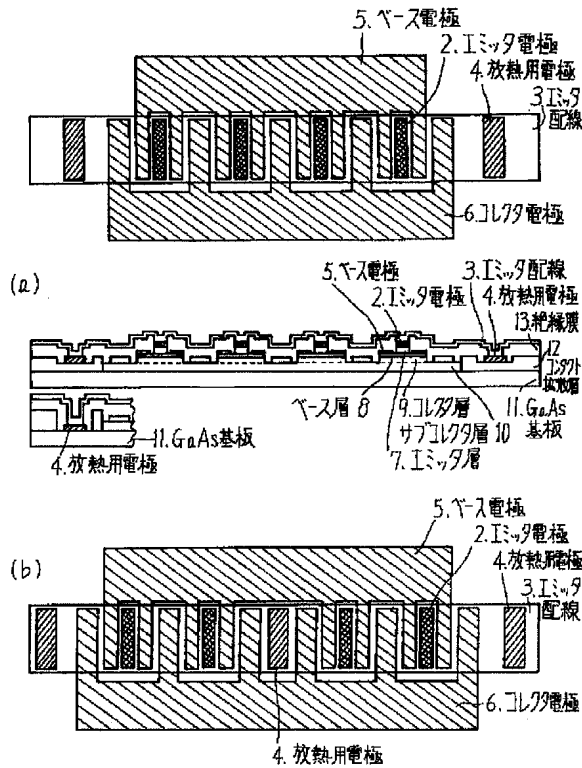
【図1】

発明の原理説明図



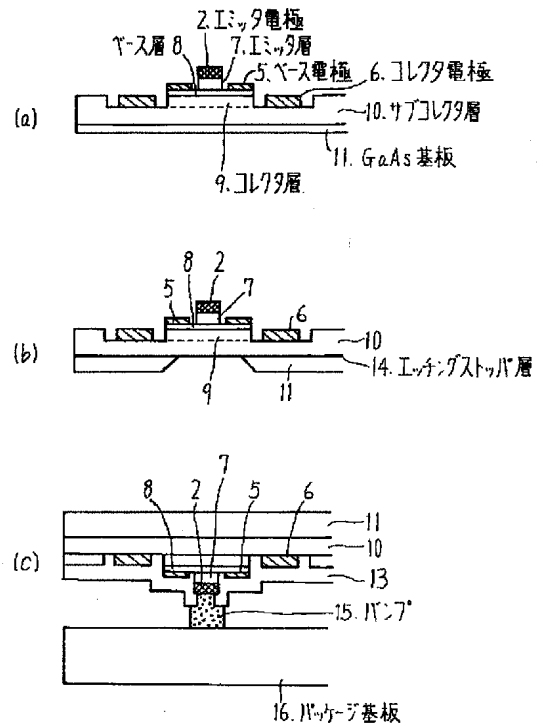
【図2】

本発明の一実施例の説明図



【図3】

従来例の説明図



【図4】

HBTの素子部温度と基板厚さ

